

## 第3章 論理回路

- (1) 集合
- (2) 2値論理 と 基本論理回路
- (3) 組み合わせ回路
- (4) 順序回路

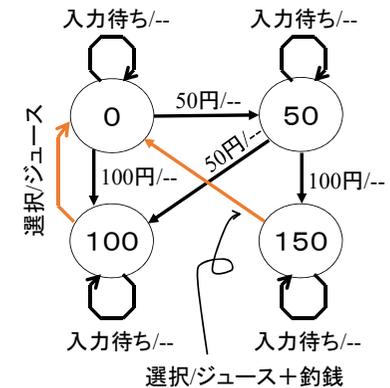
順序回路とは？、クロック  
フリップフロップ、レジスタ、カウンタ

担当： 福井大学 大学院工学研究科  
情報・メディア工学専攻  
森 眞一郎 (moris@u-fukui.ac.jp)

## 応用例

### (その1) [不便な^^] 自動販売機

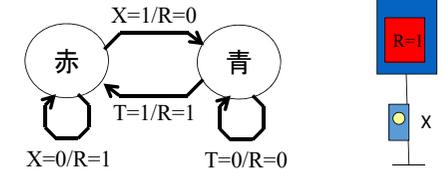
- 100円のジュースを販売
- 受け付ける硬貨は50円と100円。
- 投入金額が100円を超えるとあらたな通貨は受け付けない。
- 売り切れは存在しない。
- 硬貨返却ボタンはついていない。



### (その2) [危険な^^] 歩行者用信号機

青と赤の信号で通常は赤、押しボタンを押す(X=1)と信号が青にわり、一定時間経過する(T=1となる)と信号は赤に戻る。出力Rが信号の色に対応し赤のときはR=1 信号が青の間は押しボタン入力は無視 信号が青にかわって一定時間経過するまではT=0

なぜ危険? ..... 車は急に止まらない!!



## 順序回路のモデル

### 組み合わせ回路 と 順序回路

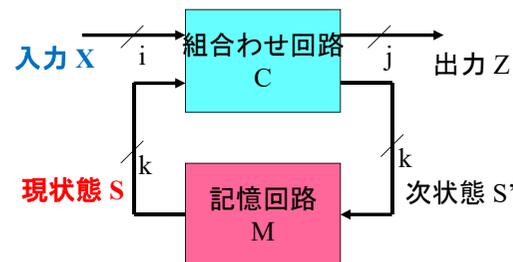
組み合わせ回路 (Combinational Circuit)

記憶なし(無記憶)  
出力は「現在の入力」から一意に決まる  
回路図にフィードバックが存在しない

順序回路 (Sequential Circuit)

記憶あり  
出力は「過去の入力履歴」と「現在の入力」で決まる  
回路図にフィードバックが存在する

### 回路モデル



記憶回路は、単純に入力履歴の系列を全て覚えるのではなく、それらを意味のある情報として集約し、「状態」という形で記憶する。

例： 応用例その1における  
50円を2回投入 と 100円を1回投入

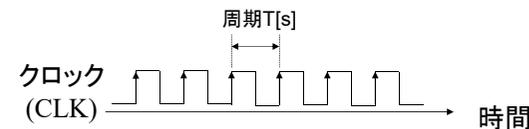
3



## クロック (or クロックパルス) とは？

デジタル回路の世界では

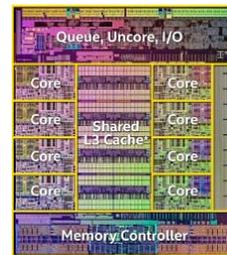
周期的に電圧が高い状態と低い状態をとる信号であり、デジタル回路が処理の歩調を合わせる(同期する)ために用いる信号



$$\text{クロック周波数 } F [\text{Hz}] = 1 / \text{クロック周期 } T [\text{s}]$$

$$1[\text{GHz}] = 10^9[\text{Hz}] = 1 / (10^{-9} [\text{s}]) = 1 / (1[\text{ns}])$$

クロックエッジ: クロック信号が0から1への立ち上がりの変化 (positive edge) あるいは1から0への立ち下りの変化 (negative edge) をする場所 (時刻あるいは現象そのもの) のこと



数十億個のトランジスタがバラバラに動いていたのでは統率がとれない(制御できない)  
1ns ...  
真空中で光が30cm進む時間

(クロックに対して)  
同期式順序回路 vs 非同同期式順序回路が存在する。  
(高度な技術を身につけるまでは、非同同期式順序回路には手をだすべきではない。)

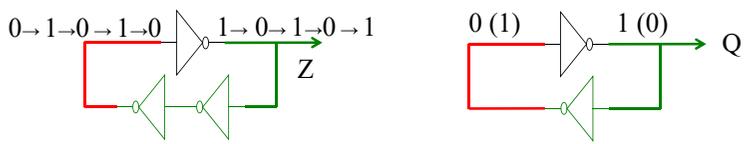
4

# 状態を記憶する記憶回路(メモリ)を論理回路として構成する

**「フリップフロップ(flip flop, FF)」**  
 順序回路の状態を、0または1の論理値として保持するための記憶回路(メモリ)をフリップフロップと呼ぶ。

## フリップフロップの動作原理

以下の2つの回路を考えてみよう。  
 左側の回路の出力Zは0と1を交互に繰り返し出力する(発振状態、不安定状態)。  
 これに対して右側の回路では、出力Qには0または1のいずれかの値が安定して出力される(記憶状態、双安定状態)。



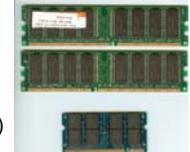
記憶はできるが、思い通りに記憶させるには？

# [復習]2. コンピュータの仕組み

## CPUと記憶装置(メモリ)

CPU: Central Processing Unit (中央処理装置)

Storage Unit (記憶装置)

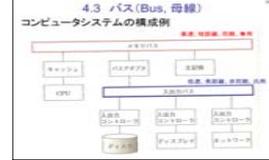


ビット(bit)とバイト(Byte)

- CPUのハードウェア性能指標の例
- 動作周波数(クロック周波数)
  - (基本処理単位)のビット数
  - 内蔵キャッシュメモリの容量
  - データバス幅のビット数

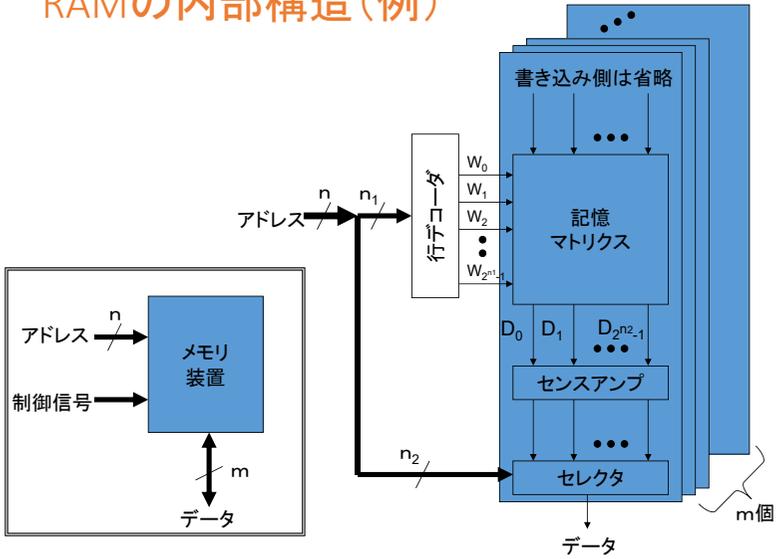
メモリの大分類  
 ROM(Read Only Memory): 読み出しのみ、**不揮発性**  
 RAM(Random Access Memory): 読み書き可能、**揮発性**

	データの宛先	アクセス速度	記憶容量	ビット原価	リフレッシュ
ROM	×	低速	中	高	不要
SRAM	○	高速	小	高	不要
DRAM	○	中速	大	低	必要

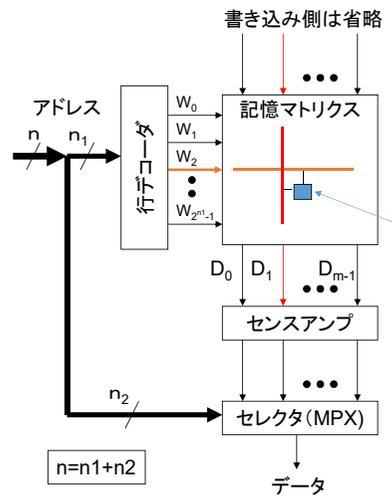


「揮発」の考え方  
 電源を切ったときに、情報(記憶)が蒸発(揮発)して失われる現象

## RAMの内部構造(例)

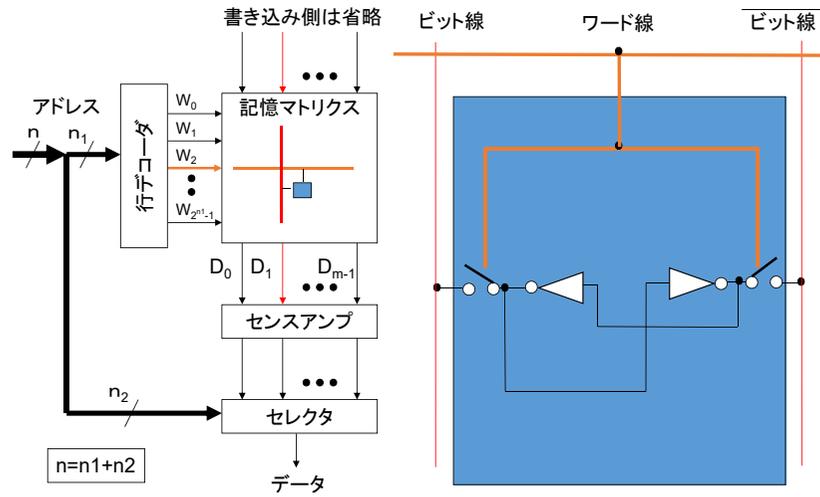


## (SRAM方式)メモリの構造(概念図)

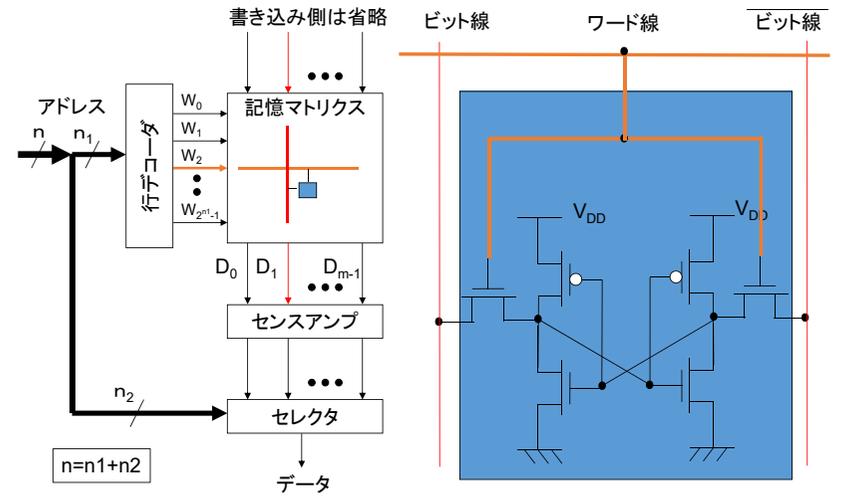


1bit分の情報を記憶する  
**メモリセル**  
 ある種のフリップフロップ(FF)を使って情報を記憶する

# SRAMのメモリセル構造(概念図)

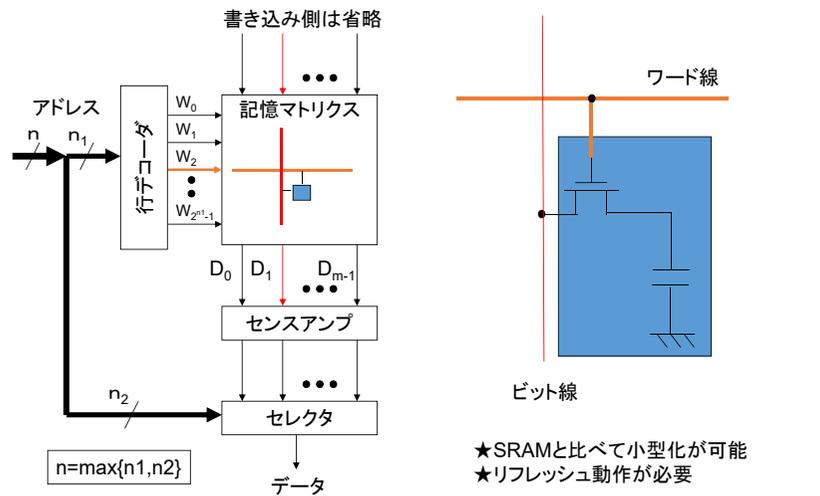


# SRAMのメモリセル構造(6T構造)



# DRAMのメモリセル構造(1T1C構造)

トランジスタ → コンデンサの意味

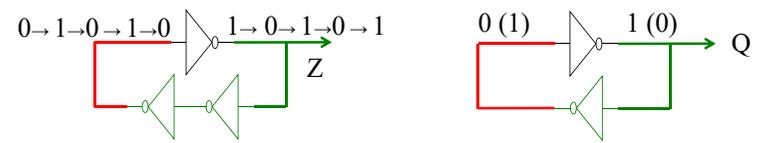


- ★SRAMと比べて小型化が可能
- ★リフレッシュ動作が必要

# 状態を記憶する記憶回路(メモリ)を論理回路として構成する

**「フリップフロップ(flip flop, FF)」**  
 順序回路の状態を、0または1の論理値として保持するための記憶回路(メモリ)をフリップフロップと呼ぶ。

**フリップフロップの動作原理**  
 以下の2つの回路を考えてみよう。  
 左側の回路の出力Zは0と1を交互に繰り返し出力する(発振状態、不安定状態)。これに対して右側の回路では、出力Qには **0または1のいずれかの値が安定**して出力される(記憶状態、双安定状態)。



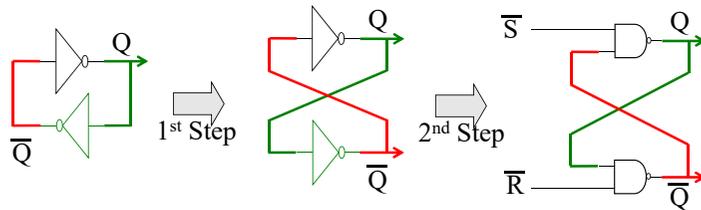
記憶はできるが、思い通りに記憶させるには？

# 状態を記憶する記憶回路(メモリ)を論理回路として構成する

フリップフロップの記憶状態を制御するために...

1st Step) 回路を少し書きなおします。(NOT回路の向きをそろえる)

2nd Step) NOT回路をNANDに置き換えて、2つの入力端子、 $\sim S$ と $\sim R$ を導入



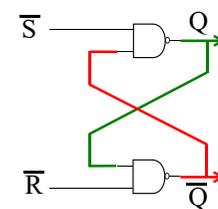
この時、入力 $\bar{S}$ と $\bar{R}$ がともに1の場合3つの回路は全て等価です。入力がともに1でなかったら.....?

# 状態を記憶する記憶回路(メモリ)を論理回路として構成する

フリップフロップの記憶状態を制御するために...

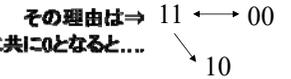
1st Step) 回路を少し書きなおします。(NOT回路の向きをそろえる)

2nd Step) NOT回路をNANDに置き換えて、2つの入力端子、 $\sim S$ と $\sim R$ を導入



S	R	Q <sup>+</sup>	備考
0	1	0	リセット
0	0	Q	記憶
1	0	1	セット
1	1	不定 (不安定)	禁止入力

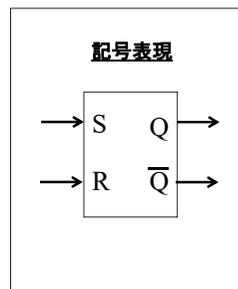
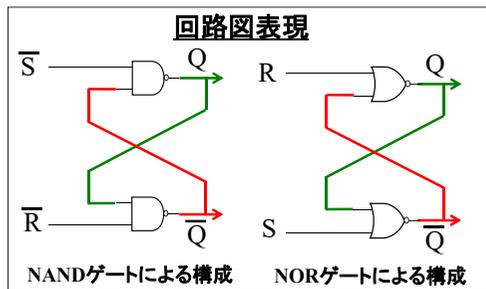
この時、入力SとR がともに1の場合なぜ不定なの？



S,Rが共に1の間はQ,Qが共に1、その後S,Rが次に共に0となると....

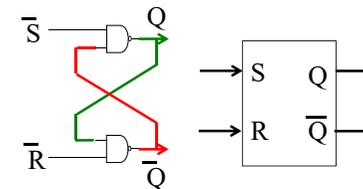
## セット・リセット・ラッチ

(Set Reset latch, SR latch) (教科書では RS型FFクロックなし)



## セット・リセット・ラッチ

(Set Reset latch, SR latch) (教科書では RS型FFクロックなし)



特性表

S	R	Q <sup>+</sup>
0	0	Q
0	1	0
1	0	1
1	1	禁止入力

latch(保持)  
reset  
set

励起表

Q	Q <sup>+</sup>	S	R
0	0	0	*
0	1	1	0
1	0	0	1
1	1	*	0

励起表: 現在の出力QをQ<sup>+</sup>に変化させるために必要な入力の関係を示す表

特性方程式は

$$Q^+ = S \cdot \bar{R} + \bar{S} \cdot R \cdot Q$$

$$0 = S \cdot R \dots \dots \dots (\text{入力条件})$$

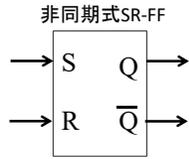
を整理すると

$$Q^+ = S + \bar{R} \cdot Q$$

$$\bar{Q}^+ = R + \bar{S} \cdot \bar{Q}$$

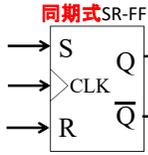
## セット・リセット・フリップフロップ

(Set Reset flipflop, SR flipflop, SR-FF)  
(同期式SRフリップフロップ Synchronous SR flipflop)



特性表

S	R	Q <sup>+</sup>
0	0	Q
0	1	0
1	0	1
1	1	禁止入力



特性表

CLK	S	R	Q <sup>+</sup>
OW	*	*	Q
↑	0	0	Q
↑	0	1	0
↑	1	0	1
↑	1	1	禁止入力

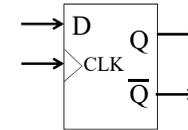
同期式SR-FFの動作  
 ・CLK入力が0から1に変化する瞬間のみ SR latchと等価な動作。  
 ・それ以外(otherwise: OW)は状態は不変

特性方程式は  

$$Q^+ := S + \bar{R} \cdot Q$$

## Dフリップフロップ(D flipflop, D-FF) (同期式Dフリップフロップ Synchronous D flipflop)

記号表現



特性表

CLK	D	Q <sup>+</sup>
O.W	*	Q
↑	0	0
↑	1	1

特性方程式は  

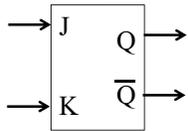
$$Q^+ := D$$

動作

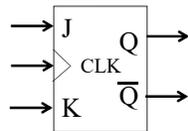
- ・CLK入力が0から1に変化する瞬間に **入力Dの値を記憶**する動作がおり、
- ・CLK入力がそれ以外のときは、何も変化しない

## JKフリップフロップ(JK flipflop)

非同期式JK-FFの記号表現



同期式JK-FFの記号表現

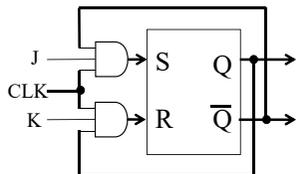


同期式JK-FFの特性表

CLK	J	K	Q <sup>+</sup>
OW	*	*	Q
↑	0	0	Q
↑	0	1	0
↑	1	0	1
↑	1	1	$\bar{Q}$

latch  
latch  
reset  
set  
toggle

非同期式JK-FFの回路図表現



同期式JK-FFの動作

- ・CLK入力が0から1に変化する瞬間、  
 J=K=1の時 トグル動作(反転)  
 J=K=0の時 ラッチ動作(不変/保持)  
 J=1,K=0の時 セット動作  
 J=0,K=1の時 リセット動作
- ・CLK入力がそれ以外(OW)のときは、状態は不変

特性方程式は  

$$Q^+ := (J \cdot \bar{Q} + \bar{K} \cdot Q)$$

JK-FFは、SR-FFにおける入力条件を取り除き、S=R=1に対応するJ=K=1のときに出力をトグルさせるフリップフロップである。

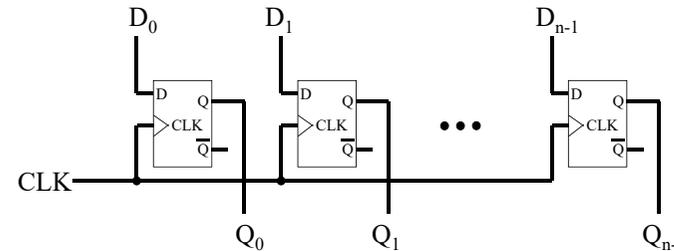
## レジスタ(Register, Reg.)

レジスタとは

数値や文字コードなど、まとまった n-bit の2値データを一時的に記憶しておくための回路

教科書では同期式JK-FFをつかって表現されています

D-FFを使った実現例

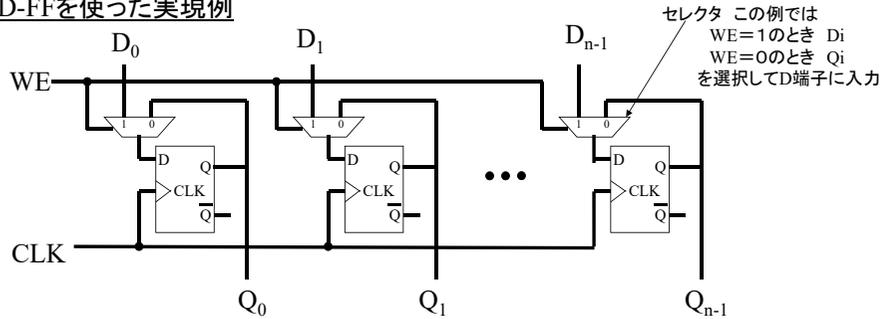


[動作]CLKの立ち上がりで、nビットの入力データD[n-1:0]を取り込み記憶すると同時に、これをQ[n-1:0]として出力する

# レジスタ (Register, Reg.)

ホールド付レジスタ(ライトイネーブル付レジスタ)

D-FFを使った実現例



[動作]CLKの立ち上がりで、WE=1の場合 入力データD[n-1:0]を取り込み記憶すると同時に、これをQ[n-1:0]として出力する。  
WE=0の場合、過去に記憶したデータを保持し、出力する。

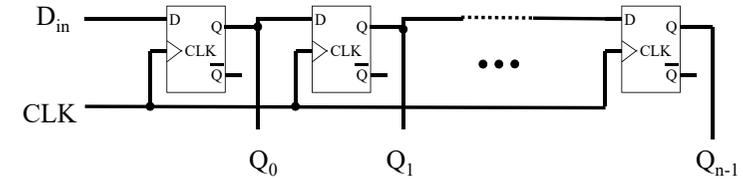
# シフトレジスタ (Shift Register)

教科書では同期式SR-FFをつかって表現されています

シフトレジスタとは

レジスタに記憶された内容(データ)が、クロックに同期して隣の桁(ビット)に順次移るレジスタ

直列入力並列出力型

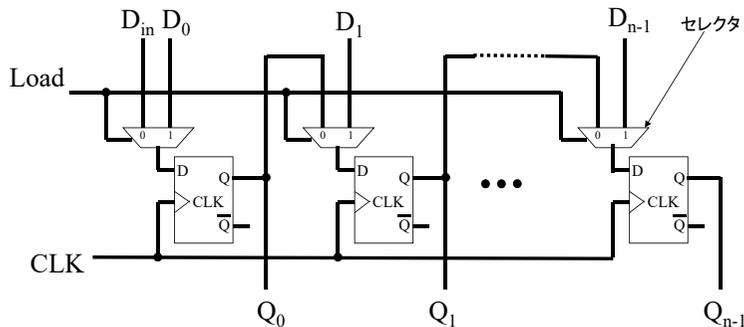


[動作]CLKの立ち上がりで、0-bit目のD-FFは入力データD<sub>in</sub>を取り込み記憶すると同時に、これをQ<sub>0</sub>に出力。  
i-bit目のD-FFは Q<sub>i-1</sub>を取り込み記憶すると同時に、それをQ<sub>i</sub>に出力

Q<sub>n-1</sub>以外の出力をなくしたのも ⇒ 直列入力直列出力型

# シフトレジスタ (Shift Register)

• 並列入力並列出力型



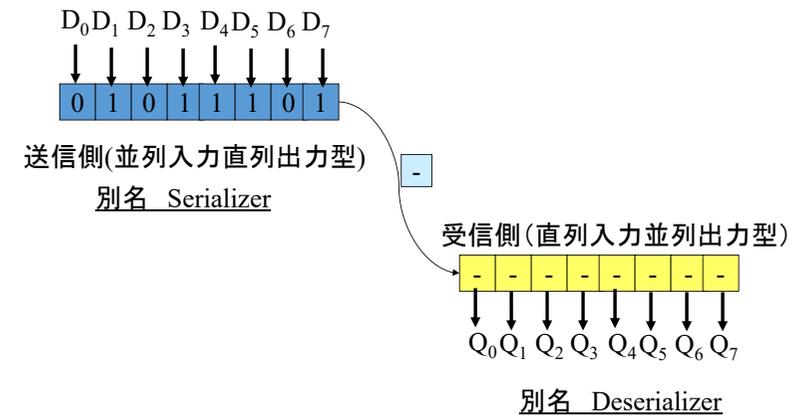
Load=1のときに入力D[n-1:0]を取り込み、  
Load=0のときに取り込んだ値をシフト

Q<sub>n-1</sub>以外の出力をなくしたのも ⇒ 並列入力直列出力型

# シフトレジスタ (Shift Register)

• シフトレジスタの応用

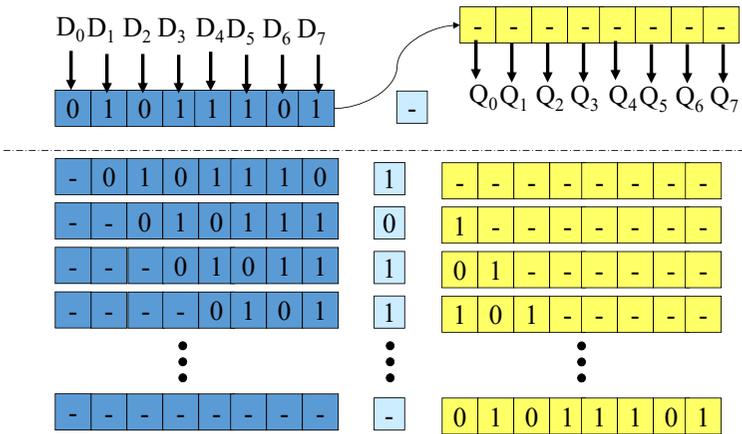
並列⇔直列変換 (主に通信路)



# シフトレジスタ(Shift Register)

## シフトレジスタの応用

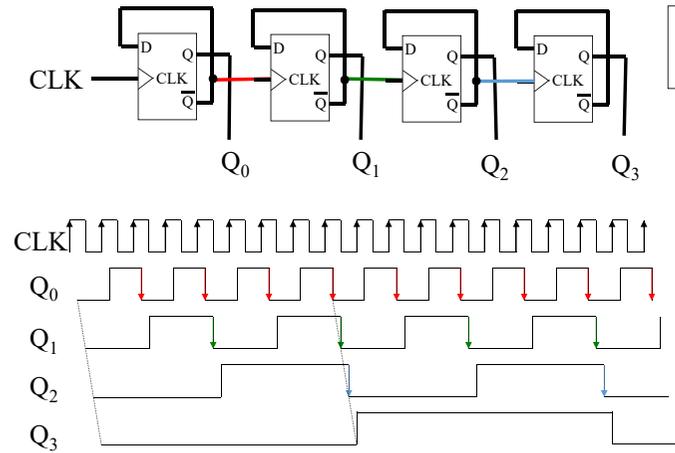
並列⇔直列変換 (主に通信路)



# 計数回路(カウンタ、Counter)

## 2進カウンタ(非同期式2進アップカウンタ)

教科書では同期式JK-FFをつかって表現されています



## [レポート課題] (順序回路) [発展課題のため提出は任意(加点对象)]

教科書P.118 演習問題 問18の応用問題

- (a) クロック同期式SR-FFを用いて、クロック同期式D-FF(の回路図)を作成せよ
- (b) クロック同期式SR-FFを用いて、クロック同期式JK-FF(の回路図)を作成せよ
- (c) クロック同期式D-FFを用いて、クロック同期式JK-FF(の回路図)を作成せよ  
 hint1) D入力端子に ある性質をもった組み合わせ回路を接続  
 hint2) 両FFの特性方程式を見比べる。

(A4 レポート用紙提出のこと。表紙をつける必要はないが、1枚目の上側余白に学生番号、氏名を記入のこと  
 両面を使って解答してよいが、複数ページに跨る場合は必ず ホッチキス留め すること。)

[A4 以外で提出した場合、ホッチキス留めがない場合は レポート点を減点します。]